



JP-HEI-1-315161 (Cited Document 4)

## MANUFACTURE OF SEMICONDUCTOR DEVICE

An element isolation U trench 2 having, for example, a U-character shape, is formed in a silicon semiconductor substrate 1 in a predetermined region by chlorine based reactive ion etching (RIE). The U trench has a width of 1.0  $\mu\text{m}$  or narrower and a depth of about 5.0  $\mu\text{m}$ . The surface of the silicon substrate 1 including the inner surface of the U trench 2 is thermally oxidized to form a silicon oxide film 3 having a thickness of about 10000 nm. An antioxidizing insulating film not oxidized even in an oxidizing atmosphere such as a silicon nitride 4 is deposited on the silicon oxide film 3 to a thickness of about 10000 nm by chemical vapor deposition (CVD), and on this silicon nitride film 4, a silicon oxide film 5 having a thickness of about 10000 nm as a mask film is deposited by CVD (Fig. 1(a)). The silicon oxide film 3 is formed to relax stresses to be caused by forming the silicon nitride film 4.

Next, the silicon oxide film 5 in the upper edge portion of the U trench 2 is sputter-etched and removed to partially expose the silicon nitride film 4. This edge portion is etched under the condition that the etching rate of the sputter etching becomes maximum at a corner having an angle of  $45^\circ$  (Fig. 1(b)).

Next, by using hot phosphoric acid at a temperature of 160  $^\circ\text{C}$  to 170  $^\circ\text{C}$ , the silicon nitride film 4 is subjected to side etching starting from the exposed edge portion along the horizontal and vertical directions, to thereby expose the silicon oxide film 3. This side etching of the silicon nitride film 4 is about 5  $\mu\text{m}$  from the edge portion along the horizontal and vertical directions (Fig. 1(c)).

Next, thermal oxidation is performed by using the silicon nitride film 4 as a mask to selectively grow an element isolation silicon oxide film 6 on the

BEST AVAILABLE COPY



**THIS PAGE BLANK (USPTO)**

exposed silicon oxide film 3 in the edge portion of the U trench 2. In this case, the silicon oxide film 6 is grown to a thickness of about 1  $\mu\text{m}$  so that the silicon oxide film 6 grown from the upper opposite sides of the U trench closes the U trench and the inside of the U trench 2 becomes hollow (Fig. 1(d)).

5                   Next, the silicon oxide film 5 and silicon nitride film 4 on the silicon substrate are sequentially etched and removed, excluding those in the U trench 2. The etching conditions are set so that the silicon oxide film 6 closing the U trench 2 is not opened again (Fig. 1(e)).

In this manner, the silicon oxide film 6 is formed at the upper edge  
10   portion of the element isolation U trench in self-alignment manner with the U trench 2 to thereby make the silicon oxide film 6 close the U trench 2 and make hollow the inside of the U trench.

According to the first embodiment, the silicon nitride film 4 is side-  
etched to form a mask for forming the silicon oxide film 6. It is therefore possible to  
15   form the silicon oxide film 6 in self-alignment manner with the U trench and omit a position alignment margin between the U trench and silicon oxide film 6 both used for element isolation. The element isolation region can therefore be reduced in size. It is possible to make a semiconductor integrated circuit at a high integration degree and the junction capacitance in the active region can be minimized because  
20   of the reduced area of the active region. By making hollow the inside of the U trench 2, stresses of the silicon substrate near the U trench 2 can be relaxed considerably.

Fig. 1 is a diagram illustrating a manufacture method for a  
25   semiconductor device according to a first embodiment of the present invention.

1... semiconductor substrate (silicon substrate), 2... element isolation

**THIS PAGE BLANK (USPTO)**

trench (U trench), 4... antioxidizing film (CVD silicon oxide film), 5... mask (CVD silicon oxide film), 6... element isolation oxide film (silicon substrate)

**THIS PAGE BLANK (USPTO)**

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 01-315161

(43)Date of publication of application : 20.12.1989

(51)Int.Cl.

H01L 21/76

(21)Application number : 63-147655

(71)Applicant : FUJITSU LTD

(22)Date of filing : 15.06.1988

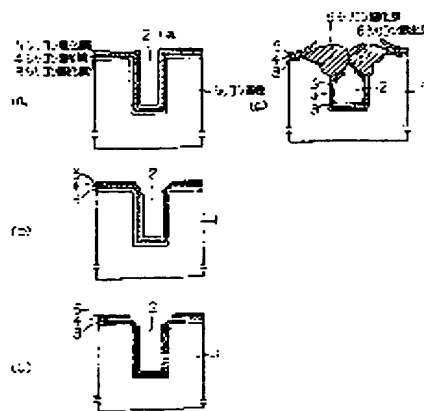
(72)Inventor : KURITA KAZUYUKI

## (54) MANUFACTURE OF SEMICONDUCTOR DEVICE

## (57)Abstract:

PURPOSE: To realize high integration and to reduce a junction capacitance in a device region to a limit by a method wherein a groove for device isolation of a semiconductor integrated circuit and a selective oxide film are formed in a self-aligned manner.

CONSTITUTION: A U-shaped groove 2 for device isolation use is formed in a prescribed position in a silicon substrate 1; a silicon oxide film 3, a silicon nitride film 4 and a silicon oxide film 5 are deposited; a sputter etching operation and a side etching operation are executed in edge parts at the upper part of the U-shaped groove 2; the silicon oxide film 3 is exposed. Then, a thermal oxidation operation is executed by making use of the silicon nitride film 4 as a mask; a silicon oxide film 6 for device isolation use is grown selectively on the exposed oxide film 3; the U-shaped groove 2 is blocked; the inside of the U-shaped groove 2 is made hollow. By this setup, it is possible to reduce a device isolation region which is used both as the groove and the selective oxide film, to relax a stress of the semiconductor substrate around the groove, to realize the high integration of a semiconductor integrated circuit and to reduce a junction capacitance in a device region.



BEST AVAILABLE COPY

## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

**THIS PAGE BLANK (USPTO)**



⑩ 日本国特許庁(JP)

⑪ 特許出願公開

## ⑫ 公開特許公報(A) 平1-315161

⑬ Int. Cl.<sup>4</sup>  
H 01 L 21/76識別記号 庁内整理番号  
L-7638-5F

⑭ 公開 平成1年(1989)12月20日

審査請求 未請求 請求項の数 3 (全7頁)

⑮ 発明の名称 半導体装置の製造方法

⑯ 特 願 昭63-147655

⑰ 出 願 昭63(1988)6月15日

⑱ 発 明 者 栗 田 和 行 神奈川県川崎市中原区上小田中1015番地 富士通株式会社  
内

⑲ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑳ 代 理 人 弁理士 井 桁 貞一 外2名

## 明 細 書

## 1. 発明の名称

半導体装置の製造方法

## 2. 特許請求の範囲

1. 半導体基板(1)上に素子分離用の溝(2)を形成する工程と、

前記溝(2)内側の前記半導体基板(1)上に非酸化性膜(4)およびマスク膜(5)を順次形成する工程と、

前記溝(2)上部のエッジ部の前記マスク膜(5)を選択的にエッチングして前記非酸化性膜(4)を露出する工程と、

露出された前記非酸化性膜(4)をサイドエッチングする工程と、

サイドエッチングされた前記非酸化性膜(4)をマスクとして前記溝(2)上部のエッジ部に素子分離用の酸化膜(6)を選択的に酸化形成する工程と

を有することを特徴とする半導体装置の製造方法。

2. 請求項1記載の方法において、前記酸化膜(6)により前記溝(2)を閉塞させることを特徴とする半導体装置の製造方法。

3. 請求項1記載の方法において、前記酸化膜(6)を形成した後、前記溝(2)内に充填材(7)を埋め込み、前記充填材(7)上に絶縁膜(8)を形成することを特徴とする半導体装置の製造方法。

## 3. 発明の詳細な説明

## [概要]

半導体装置の製造方法に係り、特に素子分離用の溝と選択酸化膜とを併用する半導体集積回路の素子分離領域の形成方法に関し、

素子分離領域を縮小して、半導体集積回路を高集積化すると共に、素子領域における接合容量を低減させることを目的とし、

半導体基板上に素子分離用の溝を形成する工程と、前記溝内側の前記半導体基板上に非酸化性膜およびマスク膜を順次形成する工程と、前記溝上部のエッジ部の前記マスク膜を選択的にエッチングして前記非酸化性膜を露出する工程と、露出された前記非酸化性膜をサイドエッチングする工程と、サイドエッチングされた前記非酸化性膜をマスクとして前記溝上部のエッジ部に素子分離用の酸化膜を選択的に酸化形成する工程とを有するように構成する。

#### 〔産業上の利用分野〕

本発明は、半導体装置の製造方法に係り、特に素子分離用の溝と選択酸化膜とを併用する半導体集積回路の素子分離領域の形成方法に関する。

近年、半導体集積回路の高速化および高集積化に伴ない、素子配線間の容量低減のために素子上に厚い酸化膜を形成することや素子分離領域を小さくするために半導体基板上に形成される溝による素子分離を行なうことが要求されている。

幅Bのマスクとの位置合わせ余裕が必要とされた。

接合の自己整合形成方法の確立によって素子領域の縮小化が図られるに従って、この位置合わせ余裕も無視することができなくなっている。このため、高度なリソグラフィ装置を用いて位置合わせ余裕の縮小化を図っているが、完全に無くすることは原理的にできず、なお0.1 $\mu$ m～0.2 $\mu$ mの位置合わせ余裕が存在する。従って、素子面積の縮小化にあたってはこの位置合わせ余裕を見込まなければならなくなり、半導体集積回路の高集積化が阻害されると共に、素子領域における接合容量を極限まで低減することができないという問題が生じていた。

また、従来の素子分離用の溝による半導体集積回路の素子分離領域の形成方法においては、第4図に示すように、シリコン基板11上のU溝内に絶縁層14を介して例えば多結晶シリコン層15を堆積させ、この多結晶シリコン層15の上部表面をキャップ酸化してシリコン酸化膜16を形成し、このシリコン酸化膜16によってU溝に蓋を

この溝による素子分離は、通常、半導体基板上に選択的に形成された酸化膜による素子分離と併用されている。そしてこれら溝と選択酸化膜との併用による素子分離方法においても、さらに素子分離領域の縮小化が要求されている。

#### 〔従来の技術〕

従来の素子分離用の溝と選択酸化膜とを併用した半導体集積回路の素子分離領域の形成方法においては、溝と選択酸化膜との位置合わせにリソグラフィ技術が用いられている。

すなわち第3図に示されるように、半導体基板としてのシリコン基板11上に、幅Aを有するシリコン酸化膜12が選択的に形成され、このシリコン酸化膜12にリソグラフィ技術を用いて開口された幅Bの開口部を通してシリコン基板11がエッチングされ、シリコン基板11上に幅Bを有するU溝13が形成される。そして幅Bを有するU溝13を常にシリコン酸化膜12の幅Aの内側に位置するようにするためには、幅Aのマスクと

するようにして素子分離が行なわれている。ところが多結晶シリコン層15の上部表面をキャップ酸化する際に、このキャップ酸化によるシリコン酸化膜16の形成に伴う体積膨張によって、第4図のC部に示す溝周辺の半導体基板11に大きなストレスが発生して結晶欠陥が形成される。このような結晶欠陥を有する半導体基板表面に素子を形成すると、結晶欠陥例えばその転位に沿ってリーク電流が発生し、素子の特性劣化を招くという問題が生じていた。

#### 〔発明が解決しようとする課題〕

このように上述の従来方法によると、素子分離用の溝と選択酸化膜との位置合わせ余裕が必要となるため、素子面積の縮小化が阻害され、従って半導体集積回路の高集積化が阻害されると共に、素子領域における接合容量を極限まで低減することができないという問題が生じていた。

そこで本発明は、素子分離領域を縮小して、半導体集積回路を高集積化すると共に、素子領域に

おける接合容量を低減させることを目的とするものである。

また、従来方法では、素子分離用の溝内に堆積させた多結晶シリコン層の上部表面をキャップ酸化する際に、溝周辺の半導体基板に大きなストレスを発生させ、素子の特性劣化を招くという問題が生じていた。

そこで本発明は、溝周辺の半導体基板のストレスを緩和させて、素子特性を向上させることを目的とするものである。

#### 〔課題を解決するための手段〕

上記課題は、半導体基板上に素子分離用の溝を形成する工程と、前記溝内側の前記半導体基板上に非酸化性膜およびマスク膜を順次形成する工程と、前記溝上部のエッジ部の前記マスク膜を選択的にエッチングして前記非酸化性膜を露出する工程と、露出された前記非酸化性膜をサイドエッチングする工程と、サイドエッチングされた前記非酸化性膜をマスクとして前記溝上部のエッジ部に

あるいはまた本発明は、素子分離用の溝上部に選択酸化膜を自己整合的に形成した後、溝内に充填材を堆積させ、この充填材上に絶縁膜を形成するものである。このことによって、溝周辺の半導体基板のストレスを緩和させる。

#### 〔実施例〕

以下、本発明を図示する実施例に基づいて具体的に説明する。

第1図は本発明の第1の実施例における半導体集積回路の素子分離領域の形成方法を示す工程図、第2図は本発明の第2の実施例における半導体集積回路の素子分離領域の形成方法を示す工程図である。

半導体基板としてのシリコン基板1上の所定の位置に、例えば塩素系の反応性イオンエッチング(RIE)を用いて、幅1.0 $\mu$ m以下、深さ5.0 $\mu$ m程度の素子分離用の例えばU字形状を有するU溝2を形成する。従って、このU溝2の内側表面を含むシリコン基板1表面を熱酸化して、膜

素子分離用の酸化膜を選択的に酸化形成する工程とを有することを特徴とする半導体装置の製造方法によって達成される。

また上記課題は、前記酸化膜により前記溝を閉塞させることを特徴とする半導体装置の製造方法によって達成される。

あるいはまた上記課題は、前記酸化膜を形成した後、前記溝内に充填材を埋め込み、前記充填材上に絶縁膜を形成することを特徴とする半導体装置の製造方法によって達成される。

#### 〔作用〕

すなわち本発明は、素子分離用の溝上部に選択的に形成される酸化膜を溝と自己整合的に形成するものである。このことによって、溝と選択酸化膜とが併用されている素子分離領域を縮小する。

また本発明は、素子分離用の溝と自己整合的に形成した選択酸化膜により溝を閉塞させて溝内を中空とするものである。このことによって、溝周辺の半導体基板のストレスを緩和させる。

厚1000Å程度のシリコン酸化膜3を形成する。さらに酸素雰囲気中においても酸化されない絶縁膜としての非酸化性膜例えばシリコン窒化膜4を、化学的気相成長(CVD)法により膜厚1000Å程度シリコン酸化膜3上に堆積させ、さらにこのシリコン窒化膜4上に同じくCVD法によりマスク膜として1000Å程度のシリコン酸化膜5を堆積させる(第1図(a))。なお、シリコン酸化膜3はシリコン窒化膜4の形成によるストレスを緩和するために形成されるものである。

次いで、スパッタエッチングにより、U溝2上部のエッジ部におけるシリコン酸化膜5をエッチング除去し、シリコン窒化膜4を一部分露出させる。なおこのエッジ部のエッチングは、スパッタエッチングのエッチング速度が角度45°のコーナで最大になる条件によって行なう(第1図(b))。

次いで、温度160℃～170℃の熱リン酸を用いて、エッジ部の露出部分から水平方向および垂直方向にシリコン窒化膜4のサイドエッチング

を行ない、シリコン酸化膜3を露出させる。このときのシリコン窒化膜4のサイドエッチングは、エッジ部から水平方向および垂直方向にそれぞれ5μm程度とする(第1図(c))。

次いで、シリコン窒化膜4をマスクとする熱酸化を行ない、U溝2のエッジ部の露出したシリコン酸化膜3上に選択的に素子分離用のシリコン酸化膜6を成長させる。このときシリコン酸化膜6を膜厚1μm程度以上成長させることにより、U溝2上部の両側のエッジ部から成長するシリコン酸化膜6がU溝2を閉塞させ、U溝2内部を中空にする(第1図(d))。

次いで、U溝2内側を除くシリコン基板1上方のシリコン酸化膜5およびシリコン窒化膜4を順次エッチング除去する。但しこのエッチングの際に、U溝2を閉塞させているシリコン酸化膜6が再び開口しないようにエッチング条件を設定する(第1図(e))。

このようにして、素子分離用のU溝2上部のエッジ部に、このU溝2と自己整合的にシリコン酸

化膜6を形成し、このシリコン酸化膜6によりU溝2を閉塞させ、U溝2内を中空とする。

第1の実施例によれば、シリコン窒化膜4をサイドエッチングしてシリコン酸化膜6を形成する際のマスクとするため、U溝2と自己整合的に位置合わせされたシリコン酸化膜6を形成することができる。そのため、素子分離のために併用されるU溝2とシリコン酸化膜6との位置合わせ余裕を省略することができ、素子分離領域の縮小化を図ることができる。従って、半導体集積回路の高集積化を行なうことができると共に、素子面積の縮小に伴って素子領域における接合容量を極限まで低減することができる。また、U溝2内を中空とすることによって、U溝2周辺のシリコン基板1のストレスを大幅に緩和させることができる。従って、素子特性を向上させることもできる。

なお、上記第1の実施例においては、シリコン窒化膜4のサイドエッチングによりシリコン酸化膜3を露出させた後、熱酸化によりシリコン酸化膜6を選択的に成長させ、続いてU溝2内側を除

くシリコン基板1上方のシリコン酸化膜5およびシリコン窒化膜4を順次エッチング除去しているが、シリコン窒化膜4のサイドエッチングによりシリコン酸化膜3を露出させた後、シリコン酸化膜5のエッチング除去を行ない、しかる後に熱酸化によりシリコン酸化膜6を選択的に成長させ、続いてU溝2内側を除くシリコン基板1上方のシリコン窒化膜4をエッチング除去してもよい。

この場合、シリコン酸化膜5のエッチング除去を行なう際に、露出させたシリコン酸化膜3もエッチングされるが、その後の熱酸化によるシリコン酸化膜6の選択的な成長に影響を及ぼすことはない。また、U溝2内側のシリコン基板1上に形成される絶縁層において、シリコン酸化膜5が除去されて最終的にはシリコン酸化膜3およびシリコン窒化膜4で構成されるが、素子分離の効果に影響を及ぼすことはない。

次に、本発明の第2の実施例を第2図を用いて説明する。

第2図(a)～(c)に示される工程は、上記

第1の実施例における第1図(a)～(c)に示される工程と全く同一である。これらの工程により、シリコン基板1上に素子分離用のU溝2を形成し、シリコン酸化膜3、シリコン窒化膜4およびシリコン酸化膜5を順次堆積させ、次いでスパッタエッチングによりU溝2上部のエッジ部におけるシリコン酸化膜5をエッチング除去し、続いて露出したシリコン窒化膜4のサイドエッチングを行なう。

次いで、シリコン窒化膜4をマスクとする熱酸化を行ない、溝2のエッジ部の露出したシリコン酸化膜3上に選択的に素子分離用のシリコン酸化膜6を成長させるが、このときシリコン酸化膜6を例えば膜厚0.5μm程度に成長させて、U溝2上部の両側のエッジ部から成長するシリコン酸化膜6が連結することなく、U溝2が開口したままの状態にしておく。

次いで、全面に多結晶シリコン層7を堆積した後、上方から多結晶シリコン層7をエッチングし、溝2内のみを充填材としての多結晶シリコン層7

を残留させる。続いて、U溝2内の多結晶シリコン層7の露出した表面をキャップ酸化して、この多結晶シリコン層7上にシリコン酸化膜8を形成する。そしてこのシリコン酸化膜8は、U溝2のエッジ部に選択的に形成されたシリコン酸化膜6と連結して、U溝2内に埋め込まれた多結晶シリコン層7に蓋をする構造になる(第2図(d))。

次いで、U溝2内側を除くシリコン基板1上方のシリコン酸化膜5およびシリコン窒化膜4を順次エッチング除去する(第2図(e)参照)。

このようにして、素子分離用のU溝2上部のエッジ部に、このU溝2と自己整合的にシリコン酸化膜6を形成し、U溝2内にシリコン酸化膜3、シリコン窒化膜4およびシリコン酸化膜5を介して充填材となる多結晶シリコン層7を埋め込み、この埋め込まれた多結晶シリコン層7表面をキャップ酸化し、シリコン酸化膜8によって蓋をする。この場合のキャップ酸化時間は、U溝2のエッジ部にシリコン酸化膜6が既に形成されているため、多結晶シリコン層7表面を絶縁するに要する時間

だけでよく、従って従来よりも短くて済む。

このように第2の実施例においては、上記第1の実施例と同様に、シリコン酸化膜6がU溝2に対して自己整合的に形成されるため、素子分離のために併用されるU溝2とシリコン酸化膜6とからなる素子分離領域の縮小化を図ることができる。また、U溝2内に埋め込まれた多結晶シリコン層7上部表面をキャップ酸化する際に、このキャップ酸化によってU溝2周辺のシリコン基板1にストレスを発生させるが、その酸化時間は従来のキャップ酸化に要する時間より短くてよく、従って発生するストレスは大きく減少する。従って、このストレス発生による素子の特性劣化を改善することができる。

なお、上記第2の実施例においては、シリコン窒化膜4のサイドエッチングによりシリコン酸化膜3を露出させた後、シリコン酸化膜6の選択的な成長、U溝2内への多結晶シリコン層7の堆積、およびこの多結晶シリコン層7上へのシリコン酸化膜8の形成を順次行ない、続いてU溝2内側を

除くシリコン基板1上方のシリコン酸化膜5およびシリコン窒化膜4を順次エッチング除去しているが、シリコン窒化膜4のサイドエッチングによりシリコン酸化膜3を露出させた後、シリコン酸化膜5のエッチング除去を行ない、しかる後に熱酸化によりシリコン酸化膜6の選択的な成長、溝2内への多結晶シリコン層7の堆積、およびこの多結晶シリコン層7上へのシリコン酸化膜8の形成を順次行ない、続いてU溝2内側を除くシリコン基板1上方のシリコン窒化膜4をエッチング除去してもよい。

また、上記第2の実施例においては、溝2内に多結晶シリコン層7を埋め込んでいるが、多結晶シリコン層7に限らず、例えば多結晶シリコンと多結晶ゲルマニウムとの混合物等であってもよい。多結晶シリコンと多結晶ゲルマニウムとの混合物を充填材として埋め込んだ場合、その上部表面をキャップ酸化すると、充填材中のゲルマニウムが高発するため、キャップ酸化によって形成される酸化膜の体積膨張を制御し、U溝2周辺のシリコ

ン基板1に発生するストレスの減少を図ることが可能である。

#### [発明の効果]

以上のように本発明によれば、半導体集積回路の素子分離を行なう溝と選択酸化膜とを自己整合的に形成することにより、溝と選択酸化膜とが併用されている素子分離領域を縮小することができ、従って半導体集積回路の高集積化を図ることができると共に、素子領域における接合容量を極限まで低減することによる半導体集積回路の性能向上を図ることができる。

また本発明によれば、素子分離用の溝と自己整合的に形成した選択酸化膜により溝を閉塞させて溝内を中空とすることにより、溝周辺の半導体基板のストレスを大幅に緩和させ、従って素子特性の向上を図ることができる。

あるいはまた本発明によれば、素子分離用の溝上部に選択酸化膜を自己整合的に形成した後に、溝内に充填材を埋め込み、この充填材上に絶縁膜

を形成することにより、溝周辺の半導体基板のストレスを緩和させ、従って素子特性の向上を図ることができる。

8……絶縁膜（シリコン酸化膜）。

#### 4. 図面の簡単な説明

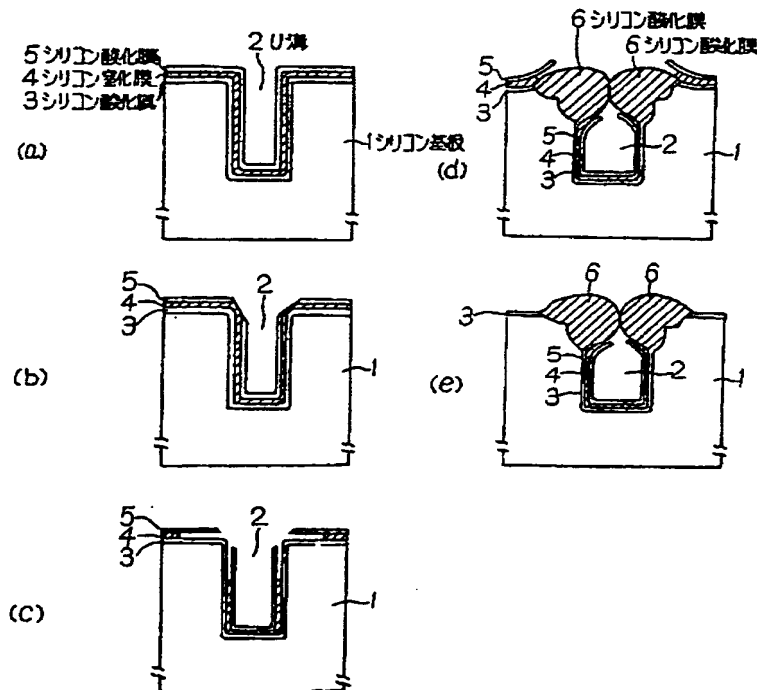
第1図は本発明の第1の実施例における半導体装置の製造方法を示す工程図、

第2図は本発明の第2の実施例における半導体装置の製造方法を示す工程図、

第3図および第4図はそれぞれ従来の半導体装置の製造方法の課題を示す断面図である。

図において、

- 1……半導体基板（シリコン基板）
- 2……素子分離用の溝（U溝）
- 3……熱酸化によるシリコン酸化膜
- 4……非酸化性膜（CVDによるシリコン酸化膜）
- 5……マスク膜（CVDによるシリコン酸化膜）
- 6……素子分離用の酸化膜（シリコン基板）
- 7……充填材（多結晶シリコン層）

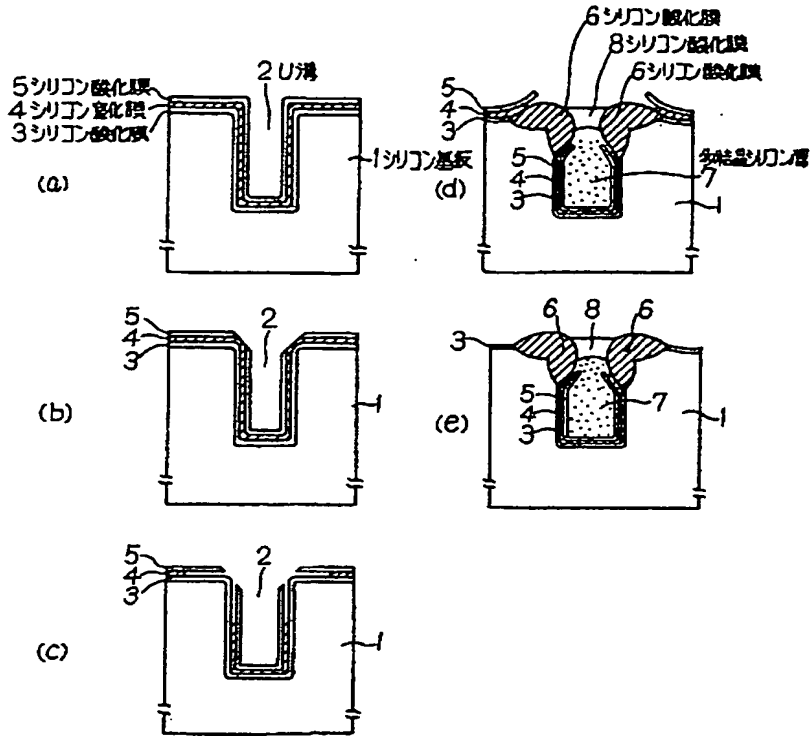


本発明の第1の実施例による半導体装置の製造方法を示す工程図

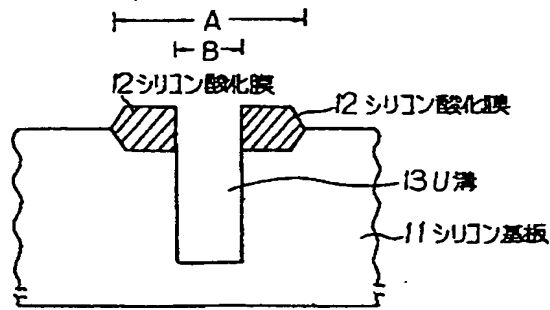
第1図

代理人 井理士 井 析 貞 一



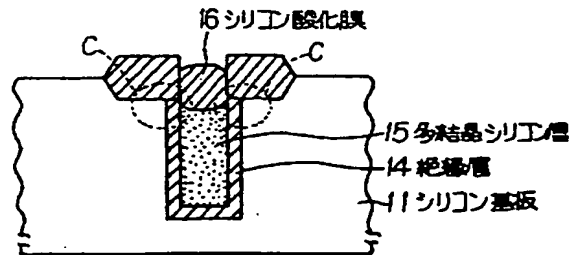


本発明の第2の実施例による半導体装置の製造方法を示す工程図  
第2図



従来の半導体装置の製造方法の課題を示す断面図

第3図



従来の半導体装置の製造方法の課題を示す断面図

第4図

**THIS PAGE BLANK (USPTO)**



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER: \_\_\_\_\_**

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**

**THIS PAGE BLANK (USPTO)**